

基于断言的 WISHBONE 到 AHB 转换桥验证

张 挺, 陈 岚, 冯 燕

(中国科学院 微电子研究所, 北京 100029)

摘 要: 随着集成电路设计复杂程度的不断提高, 功能验证越来越受到重视. 一种新兴的验证方法, 基于断言的验证, 得到越来越广泛的应用. 介绍了基于断言的验证方法, 及其在 WISHBONE 到 AHB 转换接口验证中的应用, 总结了断言验证在功能验证中的优势和特点.

关键词: WISHBONE; AHB; 总线时序; SystemVerilog 断言; 基于断言的验证

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2012)06-0150-03

Assertion-Based Verification to WISHBONE to AHB Bridge

ZHANG Ting, CHEN Lan, FENG Yan

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: With the complexity of IC design increasing, functional verification is becoming more and more important. A novel verification method, assertion-based verification, is widely used currently. This paper introduces assertion-based verification and its application in WISHBONE to AHB bridge verification, then summarizes the advantage of assertion in functional verification.

Key words: WISHBONE; AHB; bus timing; SystemVerilog assertion; assertion-based verification

1 引言

根据 Collett 国际公司 2003 年的调查, 造成芯片流片失败的原因大约有 70% 是来自于 SoC 设计本身的功能验证不足^[1]. SoC 设计需要面对的瓶颈已不再是设计时间, 而是验证时间, 验证工作已经占到了整个项目工作量的 70% 以上, 保证芯片功能的正确性已成为 IC 设计中的最大挑战. 同时, 这也促成了许多新的验证方法和理论的出现, 如基于断言的验证、覆盖率导向的验证、可约束的随机激励、事务级验证等. 其中, 基于断言的验证是硬件设计功能验证的一种有效方法.

2 基于断言的验证方法学

相对于传统的验证方法, 基于断言的验证, 其主要优点是提高了 SoC 设计验证的可观察性和可控性^[2].

断言可以比较容易地发现潜在电路设计的内部

错误, 为 SoC 设计验证提供了良好的可观察性. 传统的验证方法是输入激励到 DUV (Design Under Verification), 在输出端口检查信号的正确性. 然而, 激励触发的内部错误, 有可能无法传递到输出端口. 这样, 就无法检查出此错误. 如果在验证代码中嵌入断言, 就可以在更接近产生错误的地方对其观察检测.

断言可以对一个给定输入的设计期望行为进行精确的描述, 从而可以很方便地描述一些复杂的时序关系, 提高了验证的可控制性. 基于断言的验证可以使用简洁的语言结构来建立精确的时序表达式. 通过检查这些表达式是否发生, 可以很简单地进行功能覆盖的检查. 断言的覆盖分析可以直接使用在协议检查或者事件描述中用到的时序表达式, 无需额外编写覆盖分析代码, 因此编码会更加灵活、简洁.

本文应用 SVA (SystemVerilog Assertion), 以 WISHBONE 到 AHB 的转换桥为 DUV, 对其总线

时序进行验证.

基于断言的总线验证流程一般概括如下^[3]:

- (1) 根据协议,列出总线的各种时序类型;
- (2) 将所有时序类型抽象成各种属性;
- (3) 用断言语言描述所有属性;
- (4) 检查属性覆盖率,进行覆盖率分析.

3 DUV 的描述

WISHBONE 到 AHB 的转换桥,即是两种总线协议规范间的转换^[4].

AHB 总线协议是 AMBA 总线规范的一部分. AMBA 总线系统和 ARM 嵌入式微处理器是当前 SoC 设计最流行的体系架构. AMBA 标准定义了三种不同的总线:高级高性能总线(AHB)、高级系统总线(ASB)和高级外设总线(APB). 其中,AHB 是用于高性能、高时钟频率的系统模块,其担当高性能系统的中枢总线. AHB 支持处理器,片上存储器,片外存储器以及低功耗外设宏功能单元之间的有效连接.

在 SoC 设计中,会用到大量的 IP,如图 1 中的 DMA、UART、Timer 等. 为节省研发成本和时间,可以采用免费的开源 IP 核. OpenCores 便提供了大量有用的基于 WISHBONE 总线系统的开源 IP 核.

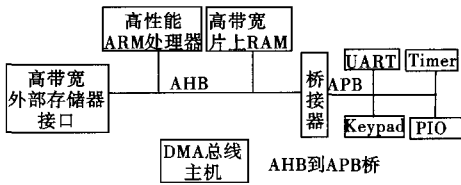


图 1 典型的 SoC 架构

WISHBONE 是 OpenCores 建议的片上总线标准,目前已有大量开源的 IP 核使用 WISHBONE 总线作为互连标准. 与其他片上总线相比,Wishbone 总线结构简单,互连灵活,对用户定制的支持良好,与其他片上总线的互连也较简单.

对转换桥的验证,即是对其 AHB 端时序的验证,检测其是否符合协议规范要求. 转换桥示意图如图 2 所示.

4 总线时序的断言实现

4.1 SVA 的基本语法

断言的属性由序列表达式组成,序列表达式由布尔表达式在序列运算符的连接下构成. 布尔表达式是长度为 1 的序列表达式^[5]. SVA 序列运算符见表 1.

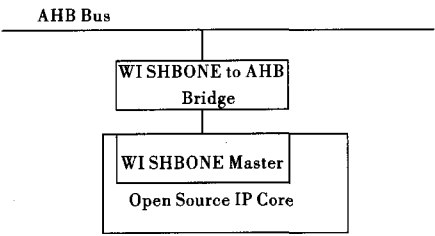


图 2 转换桥示意图

表 1 SVA 序列运算符

$\# \# M \# \# [M:N]$	拼接
$[* M] [* M:N]$	重复
$b[->M] b[->M:N]$	跳转
$b[=M] b[=M:N]$	非连续重复
$b \text{ throughout } s$	贯穿
$s1 \text{ within } s2$	蕴涵
$s1 \text{ intersect } s2$	交集
$s1 \text{ and } s2$	与
$s1 \text{ or } s2$	或

注:表中 b 代表布尔表达式,s 代表序列

属性运算符将序列表达式构造为属性. 序列本身也可以成为属性. SVA 属性运算符见表 2.

表 2 SVA 属性运算符

$s \mid -> p \mid s \mid => p$	隐含(重合和非重合)
$\text{not } p$	逻辑非
$p1 \text{ and } p2 \mid p1 \text{ or } p2 \text{ if } (b) \mid p1 \text{ else } p2$	逻辑与、逻辑或和 if-else 属性运算符
$\text{disable iff } (b)$	有条件取消

注:表中 p 代表属性

属性语句在断言属性(assert property)和覆盖率属性(cover property)语句中被实例化. 当断言被激活时,若断言属性语句的计算结果为“真”,则属性语句就算成功;否则,就算失败. 当仿真结束时,覆盖率属性会给出断言成败数目的统计.

4.2 总线协议的断言表达

根据 AHB 总线协议,抽象出 AHB 总线时序的各种属性,利用 SVA 定义并描述出这些属性,以实现对它们的监测和验证. AHB 传输时序示例见图 3.

AHB 总线时序类型抽象概括如下^[6]:

- (1) 传输中插入等待周期
- 传输时插入等待周期,mHREADY 会变成低电

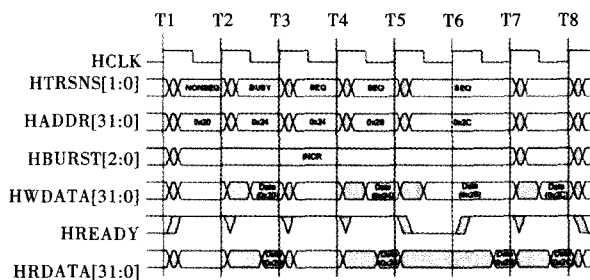


图3 AHB 传输时序示例

平,在下一时钟周期,需要保持 mHWDATA, mHWADDR 和 mHWRITE 同上一周期稳定.此时序属性跨前后多个时钟周期,因此可用 SVA 非重合隐含操作符实现^[7].

(2) 空闲传输

空闲传输时, mHTRANS=2'b00, 下一时钟周期 mHRESP=2'b00. 亦可以用 SVA 非重合隐含操作符实现.

(3) 忙传输

忙传输时, mHTRANS=2'b01, 下一时钟周期 mHRESP=2'b00, 且 mHADDR 和 mHWRITE 必须维持稳定, 保持同上周期不变.

(4) 从机错误响应

从机错误响应时, mHRESP=2'b01, mHREADY 为低电平, 下一时钟周期, mHRESP 保持不变, mHREADY 变为高电平.

(5) 从机重试响应

从机重试响应时, mHRESP=2'b10, mHREADY 为低电平, 下一时钟周期, mHRESP 保持不变, mHREADY 变为高电平且 mHTRANS=2'b00.

(6) 从机分块响应

从机分块响应时, mHRESP=2'b11, mHREADY 为低电平, 下一时钟周期, mHRESP 保持不变, mHREADY 变为高电平且 mHTRANS=2'b00.

(7) 流水操作

AHB 总线传输为流水操作, 且 mHWDATA 总是延迟 mHADDR 和控制信号一个时钟周期. 而 WISHBONE 传输则是写数据信号和地址信号在一个时钟周期内同时有效. 也就是说, 要检测 AHB 端时序, 在 mHADDR 和 WISHBONE 的地址信号相同时, mHWDATA 要滞后 WISHBONE 的数据信号一个时钟周期.

(8) 突发传输

AHB 协议定义了多种长度的增量和回环突发传输, 在本 DUV 中, 应用到的的是 INCR4 (4 拍增量突发) 传输, 故仅验证此突发时序特性. INCR4 时, mHBURST=3'b011, mHTRANS=2'b11, 即为连续传输. 传输期间 mHADDR 每拍数值加 4, 持续 4 拍.

(9) 复位

在复位期间, mHRESETn 为低电平, mHADDR 和控制信号在有效电平 (非高阻态), 并且 mHTRANS=2'b00, 表示空闲.

以属性(1)为例, 断言描述语句如下:

```
//定义属性
property p_ahb_transfer_when_wait;
    @(posedge HCLK)
    //复位期间关闭断言
    disable iff(! HRESETn)
    //传输等待周期中, 数据、地址和控制
    信号保持稳定(! mHREADY and mHGRANT) | =>
    $stable({mHWDATA[31:0], mH
    ADDR[31:0], mHWRITE});
endproperty
//断言检查
a_ahb_transfer_when_wait: assert
property (p_ahb_transfer_when_wait)
else begin
    $display("p_ahb_transfer_when_wait assert
    fail");
    $stop;
end
//覆盖率检查
c_ahb_transfer_when_wait;
cover
property (p_ahb_transfer_when_wait);
```

5 仿真结果

所有属性的断言, 皆由 VCS 仿真软件验证通过. 图 4 所示为属性(1)的仿真结果实例.

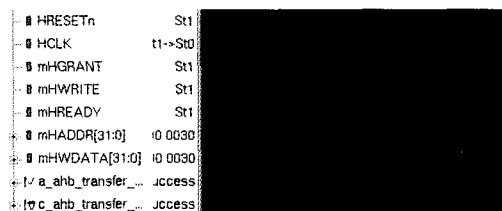


图4 VCS 仿真结果示例

(下转第 157 页)

(5) 信息发布

采用了两种集中化的方式来实时发布信息:会场核心区域放置的液晶大屏幕,可供国际 Internet 访问的实时网页。

大屏幕以及实时网页的展示内容,包括会场的实时基本信息、官方授权发布的通知与消息,经过审核的关于会议的自由讨论信息。实时信息页面是基于 AJAX 网页技术而开发的动态 Web 页面。在展示页面设计上,我们将页面分为三个部分。在最显眼的左上角安排了最重要的官方会议信息。而在左下角安排了经过审核和编辑的自由信息。在右半边则安排了会场信息,在这个模块中将页面分成了 8 个部分,每个部分实时更新对应会议室中的会议进程。

5 结束语

本文对实时信息理论以及实时信息系统进行了研究。在此基础上,结合现有的实时路况系统,微博客系统,对实时信息系统的性能进行分析评估,找到了影响实时信息系统性能的关键要素。提出了改进实时信息系统性能的设计方案。

(上接第 152 页)

6 结束语

本验证方法充分利用了断言的优点,将其应用于 WISHBONE 到 AHB 的转换桥的验证中。首先抽象出总线的时序属性,然后通过 SVA 对其描述定义,同时插入覆盖率检查机制,对验证覆盖率进行分析。在总线验证中,断言以简洁的表达方式,获得较高的覆盖率,达到良好的验证效果。

参考文献

- [1] 董杨鑫,郑建宏. 基于断言的 SoC 设计验证方法[J]. 理论与方法, 2007,26(10):14-16
- [2] 查欣. 基于断言语言 SVA 的设计验证方法[J]. 现代电子技术, 2010(10):5-7
- [3] 李洋洋,吴武臣,王龙伟,等. 基于断言的验证方法在 UART 模块中的应用研究[J]. 微电子学与计算机, 2010,27(1):151-153
- [4] Cao Fan, Chen Lan, Yi Bo. Designing WISHBONE to AMBA Wrapper[C] // International Conference on ASIC. [S. L.]: IEEE, 2009:403-406

参考文献

- [1] 吕炳潮,伍民友. 实时信息系统——物联网的基础[J]. 中国计算机学会通讯, 2010(4):38-46.
- [2] 吕炳潮,杨扬,伍民友. 实时信息的理论研究及其应用[J]. 计算机工程与设计, 2010(31):4012-4014.
- [3] 葛晓峰,曹斌. GPS 与 GIS 结合的高速公路实时路况分析系统设计及实现[J]. 电子技术, 2007(7):155-157.
- [4] 九州联宇公司. [EBIOL]. [2011-11-24]. <http://www.tranbbs.com/topic/realtraffic/index.shtml>
- [5] Cabspotting [EBIOL]. [2011-11-24]. <http://cabspotting.org/>.
- [6] Ryan Kelly. Twitter Study Reveals Interesting Results About Usage—40% is “Pointless Babble” [EBIOL]. [2011-11-24]. <http://www.pearanalytics.com/blog/2009/twitter-study-reveals-interesting-results-40-percent-pointless-babble/>

作者简介:

蒋大卫 男,(1988-),硕士.研究方向为实时信息系统。

孔令和 男,(1983-),博士.研究方向为物联网、传感器网络。

伍民友 男,(1954-),教授,博士生导师.研究方向为无线与传感器网络,高性能计算。

[5] Janick Bergeron, Eduard Cerny, Alan Hunter, et al. SystemVerilog 验证方法学[M]. 北京:航空航天大学出版社, 2007

[6] ARM. AMBA specification. rev. 2.0[R] 1999:14-22

[7] Srikanth Vijayaraghavan, Meyyappan Ramanathan. A practical guide for systemverilog assertions[M]. Berlin: Springer, 2006.

作者简介:

张挺 男,(1987-),硕士研究生.研究方向为 SoC 设计与验证。



陈岚 女,(1968-),博士生导师.研究方向为超深亚微米芯片设计方法学及计算机系统机构。

冯燕 女,(1980-),助理研究员.研究方向为 SoC 设计与验证。